

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-204043

(P2003-204043A)

(43) 公開日 平成15年7月18日 (2003.7.18)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/105
21/3205
21/768H 0 1 L 27/10
21/90
21/884 4 4 B 5 F 0 3 3
B 5 F 0 3 3
N

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2002-65270(P2002-65270)

(22) 出願日 平成14年3月11日(2002.3.11)

(31) 優先権主張番号 特願2001-327022(P2001-327022)

(32) 優先日 平成13年10月24日(2001.10.24)

(33) 優先権主張国 日本(JP)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 西郷 薫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 大八木 信孝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

最終頁に続く

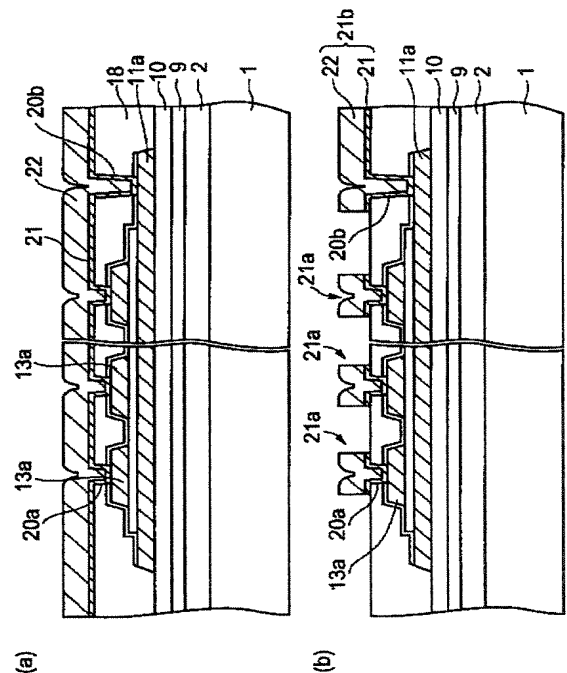
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャパシタを有する半導体装置の製造方法に関し、電極を構成するプラチナと配線を構成するアルミニウムの反応を十分に防止すること。

【解決手段】 半導体基板1の上方の第1絶縁膜10の上に形成されてコンタクト領域を有し且つプラチナからなる下部電極11aと、下部電極11a上に誘電体膜12aを介して形成された上部電極13aとを有するキャパシタと、キャパシタの上に形成された第2絶縁膜18と、第2絶縁膜18のうち下部電極11aのコンタクト領域の上に形成されたホール20bと、ホール20bの底における最小膜厚が30nmよりも厚い下地導電膜21とアルミニウム膜22とを順に形成して構成されてホール20b内から第2絶縁膜18の上に形成される配線21bとを含む。

本発明の実施形態 (14)



1

【特許請求の範囲】

【請求項1】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、前記トランジスタを覆い且つ表面が平坦化された第1の絶縁膜と、前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜と該誘電体膜を挟む上部電極及び下部電極とを有するキャパシタと、前記キャパシタ及び前記第1の絶縁膜の上に形成されて表面が平坦化された第2の絶縁膜と、前記第1の絶縁膜のうち前記第1の不純物領域の上に形成された第1のホールと、前記第1のホールの中に形成された第1のプラグと、前記第2の絶縁膜のうち前記キャパシタの前記下部電極と前記上部電極の上にそれぞれ形成された第2のホールと第3のホールと、前記第2の絶縁膜の上に形成された導電膜から構成され、前記第3のホールを通して前記上部電極に接続され且つ前記第1のプラグに接続される第1の導電パターンと、前記第2の絶縁膜の上で前記導電膜から構成され、かつ前記第2のホールを通して前記下部電極に接続される第2の導電パターンとを有することを特徴とする半導体装置。

【請求項2】半導体基板の上方の第1絶縁膜の上に形成されてコンタクト領域を有し且つプラチナからなる電極と、前記電極の上に形成された第2絶縁膜と、前記第2絶縁膜のうち前記電極の前記コンタクト領域の上に形成されたホールと、前記ホールの底における最小膜厚が30nmより厚い下地導電膜とアルミニウム膜とを順に形成して構成されて前記ホール内から前記第2絶縁膜の上に形成される埋込導電層とを有することを特徴とする半導体装置。

【請求項3】半導体基板の上方の第1絶縁膜の上に形成されてコンタクト領域を有し且つプラチナからなる下部電極と、該下部電極上に誘電体膜を介して形成された上部電極とを有するキャパシタと、前記キャパシタの上に形成された第2絶縁膜と、前記第2絶縁膜のうち前記下部電極の前記コンタクト領域の上に形成されたホールと、前記ホールの底における最小膜厚が30nmより厚い下地導電膜とアルミニウム膜とを順に形成して構成されて前記ホール内から前記第2絶縁膜の上に形成される配線とを有することを特徴とする半導体装置。

【請求項4】半導体基板の上方に第1絶縁膜を形成する工程と、コンタクト領域を有し且つプラチナからなる下部電極と、該下部電極の上に誘電体膜を介して形成される上部電極を有するキャパシタを前記第1絶縁膜の上に形成する工程と、前記キャパシタの上に第2絶縁膜を形成する工程と、前記第2絶縁膜をパターンニングして前記下部電極の前記コンタクト領域の上にホールを形成する工程と、前記ホールの底での最小膜厚が30nmより厚い下地導電膜を前記ホール内と前記第2絶縁膜の上面に形成する工程と、アルミニウム膜を前記下地導電膜上に

2

形成する工程と、前記アルミニウム膜と前記下地導電膜をパターンニングすることにより前記ホールを通して前記下部電極に接続される配線を前記第2絶縁膜上に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】前記下地導電膜は窒化チタン、窒化チタン・チタン積層、窒化タングステンのいずれかであることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】プレーナ型FeRAM(ferroelectric random access memory)の強誘電体キャパシタは図1に示すような構造を有している。

【0003】図1において、半導体基板101のうち素子分離絶縁膜102に囲まれたウェル領域103には、半導体基板101上にゲート絶縁膜を介して形成された2つのゲート電極105a、105bと、ゲート電極105a、105bのそれぞれの両側のウェル領域103に形成された不純物拡散領域106a、106bとを有する2つのMOSトランジスタが形成され、それらのMOSトランジスタは第1、第2の絶縁膜104a、104bに覆われている。

【0004】第2の絶縁膜104bの上面は化学機械研磨(CMP)法により平坦化され、その上面の上にはエンキャップ層114に覆われた強誘電体キャパシタQ0が形成されている。強誘電体キャパシタQ0は、コンタクト領域を有する下部電極111aと、強誘電体膜112aと、上部電極113aとを有している。下部電極111aは、強誘電体膜112aの結晶方位を制御するために、主にプラチナから構成されている。

【0005】さらに、エンキャップ層114及び第2絶縁膜104bの上には、第3絶縁膜104cが形成されている。

【0006】また、2つのゲート電極105a、105bの両側の不純物拡散領域106a、106bの表面にはそれぞれシリサイド層107が形成されている。シリサイド層107のうちの2つのゲート電極105a、105bの間に挟まれる領域の上には第1のコンタクトホール117aが形成され、ウェル領域103の両側寄りのシリサイド層107の上には第2のコンタクトホール117bが形成されている。また、下部電極111aの上には第3のコンタクトホール117cが形成されている。

【0007】第1、第2及び第3のコンタクトホール117a～117c内には、それぞれ密着層とタングステン層からなる第1、第2及び第3の導電性プラグ118

10

20

30

40

50

3

a, 118b, 118c が形成されている。

【0008】さらに、キャパシタの上部電極113aの上には第4のコンタクトホール115が形成されている。

【0009】第3絶縁膜104cの上において、第1の導電性プラグ118a上には導電性パッド120aが形成されている。

【0010】また、第3絶縁膜104cの上では、第2の導電性プラグ118bの上面に接続されるとともに第4のコンタクトホール115を通してキャパシタQ₀の上部電極113aに接続される第1の配線120bが形成され、さらに、下部電極111a上の第3の導電性プラグ118cの上には第2の配線120cが形成されている。

【0011】導電性パッド120a、第1の配線120b及び第2の配線120cは、それぞれ窒化チタン膜とアルミニウム膜を有する積層膜から構成されている。

【0012】ところで、第1～第3のコンタクトホール117a～117c内にタングステンを深く埋め込むためには、反応ガスとして六フッ化タングステン(WF₆)、シラン(SiH₄)及び水素(H₂)を使用するCVD法により形成する必要がある。

【0013】

【発明が解決しようとする課題】しかし、そのような反応ガスは還元性を有するので、その反応ガスがコンタクトホール117cを通してキャパシタQ₀の下部電極111aに供給され、さらに、下部電極111aに沿って移動して酸化物の強誘電体膜112aを還元してキャパシタ特性を劣化させてしまう。

【0014】本発明の目的は、電極上のコンタクトホール内に形成される導電膜によってその周辺が劣化しない構造をもつ半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記した課題は、半導体基板上に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、前記トランジスタを覆い且つ表面が平坦化された第1の絶縁膜と、前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜と該誘電体膜を挟む上部電極及び下部電極とを有するキャパシタと、前記キャパシタ及び前記第1の絶縁膜の上に形成されて表面が平坦化された第2の絶縁膜と、前記第1の絶縁膜のうち前記第1の不純物領域の上に形成された第1のホールと、前記第1のホールの中に形成された第1のプラグと、前記第2の絶縁膜のうち前記キャパシタの前記下部電極と前記上部電極の上にそれぞれ形成された第2のホールと第3のホールと、前記第2の絶縁膜の上に形成された導電膜から構成され、前記第3のホールを通して前記上部電極に接続され且つ前

4

記第1のプラグに接続される第1の導電パターンと、前記第2の絶縁膜の上で前記導電膜から構成され、かつ前記第2のホールを通して前記下部電極に接続される第2の導電パターンとを有することを特徴とする半導体装置によって解決される。

【0016】上記した課題は、半導体基板の上方の第1絶縁膜の上に形成されてコンタクト領域を有し且つプラチナからなる電極と、前記電極の上に形成された第2絶縁膜と、前記第2絶縁膜のうち前記電極の前記コンタクト領域の上に形成されたホールと、前記ホールの底における最小膜厚が30nmより厚い下地導電膜とアルミニウム膜とを順に形成して構成されて前記ホール内から前記第2絶縁膜の上に形成される埋込導電層とを有することを特徴とする半導体装置により解決される。

【0017】本発明によれば、キャパシタを覆う絶縁膜の上に形成される配線をホールを通してキャパシタの下部電極に電気的に接続する構造において、その配線を導電性プラグを介さずに直接に下部電極に接続するようにしている。配線材料としてアルミニウムを用いると、アルミニウムは還元ガスを使用せずにスパッタにより形成できるので、還元ガスが下部電極に沿って誘電体膜に供給されることがなくなり、下部電極コンタクト構造の形成時のキャパシタ特性劣化が防止される。

【0018】また、本発明によれば、電極上のホール内に形成される埋込導電膜として、下地導電膜とアルミ膜を順に形成するとともに、ホールの底面での下地導電膜の最小膜厚を30nmより厚くしている。

【0019】従って、電極上のホールにアルミニウムをスパッタで埋め込むことができるので、電極の周辺を還元性ガスによって劣化させることはない。しかも、ホール内に形成されるアルミニウムの下地となる導電膜膜のホール底面での最小膜厚を30nm以上にしたので、電極を構成するプラチナ膜と埋込導電層を構成するアルミニウム膜との反応が十分に防止される。

【0020】

【発明の実施の形態】以下に本発明の実施形態を図面に基づいて説明する。

【0021】図2～図10は本発明の第1実施形態の半導体装置の製造工程に示す断面図である。また、図11～図15は、本発明の第1実施形態に係る半導体装置のキャパシタの形成と配線形成を示すワード線方向の断面図である。

【0022】まず、図2に示す断面構造を形成するまでの工程を説明する。

【0023】n型又はp型のシリコン(半導体)基板1表面に、LOCOS(Local Oxidation of Silicon)法により素子分離絶縁膜2を形成する。素子分離絶縁膜2としてSTI(Shallow Trench Isolation)を採用してもよい。

【0024】そのような素子分離絶縁膜2を形成した後

5

に、シリコン基板1のメモリセル領域における所定の活性領域（トランジスタ形成領域）にpウェル3を形成する。

【0025】その後、シリコン基板1の活性領域表面を熱酸化してシリコン酸化膜を形成してこれをゲート絶縁膜4として用いる。

【0026】次に、シリコン基板1の上側全面に多結晶シリコン又は高融点金属シリサイドからなる導電膜を形成する。その後に、導電膜をフォトリソグラフィ法により所定の形状にパターニングして、ゲート絶縁膜4上にゲート電極5a、5bを形成する。メモリセル領域における1つのpウェル3上には2つのゲート電極5a、5bがほぼ平行に配置される。それらのゲート電極5a、5bはワード線の一部を構成する。

【0027】続いて、ゲート電極5a、5bの両側のpウェル3内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース／ドレインとなるn型不純物拡散領域6a、6bを形成する。さらに、シリコン基板1の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極5a、5bの両側部分に側壁絶縁膜7として残す。その絶縁膜は、例えばCVD法により形成された酸化シリコン（SiO₂）膜である。

【0028】さらに、ゲート電極5a、5bと側壁絶縁膜7をマスクに使用して、ウェル3内に再びn型不純物イオンを注入することによりn型不純物拡散領域6a、6bをLDD構造にする。なお、1つのpウェル3において、2つのゲート電極5aの間に挟まれるn型不純物拡散領域6bは後述するビット線に電氣的に接続され、また、pウェル3の両側の2つの不純物拡散領域6aは後述するキャパシタ上部電極に電氣的に接続される。

【0029】以上のように、メモリセル領域のpウェル3では、ゲート電極5a、5bとn型不純物拡散領域6a、6b等によって2つのn型MOSFETが構成される。

【0030】次に、全面に高融点金属膜を形成した後に、この高融点金属膜を加熱してp型不純物拡散領域6a、6bの表面にそれぞれ高融点金属シリサイド層8a、8bを形成する。その後、ウェットエッチングにより未反応の高融点金属膜を除去する。

【0031】さらに、プラズマCVD法により、MOSトランジスタを覆うカバー膜9として酸化シリコン（SiON）膜をシリコン基板1の全面に約200nmの厚さに形成する。さらに、TEOSガスを用いるプラズマCVD法により、第1の層間絶縁膜10として二酸化シリコン（SiO₂）をカバー膜9上に約1.0μmの厚さに成長する。続いて、第1の層間絶縁膜10を化学的機械研磨（CMP；Chemical Mechanical Polishing）法により研磨してその上面を平坦化する。

【0032】次に、図3(a)に示す構造を形成するまでの工程を説明する。

6

【0033】まず、DCスパッタ法によって、厚さ100～300nmのプラチナ（Pt）膜を第1の層間絶縁膜10上に形成して、これを第1の導電膜11とする。プラチナ膜と第1の層間絶縁膜10との密着性を改善するために、それらの間に厚さ10～30nmのチタン膜を形成してもよい。なお、第1の導電膜11を構成するプラチナ膜は、プラチナ合金膜であってもよい。

【0034】次に、スパッタリング法により、PZT（ $(\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)_2\text{O}_3)$ ）を第1の導電膜11の上に100～300nmの厚さに形成し、これを強誘電体膜12として使用する。

【0035】続いて、酸素雰囲気中にシリコン基板1を置き、例えば725℃、20秒間、昇温速度125℃/secの条件で、強誘電体膜12を構成するPLZT膜をRTA（Rapid Thermal Annealing）処理することにより、PZT膜の結晶化処理を行う。

【0036】強誘電膜12の形成方法としては、上記したスパッタ法の他にスピノン法、ゾルーゲル法、MOD（Metal Organic Deposition）法、MOCVD法がある。また、強誘電体膜12の材料として、PLZT（lead lanthanum zirconate titanate; $(\text{Pb}_{1-3x/2}\text{La}_x)(\text{Zr}_{1-y}\text{Ti}_y)_2\text{O}_3$ ）、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ （但し、 $0 < x \leq 1$ ）、 $\text{Bi}_4\text{Ti}_2\text{O}_{12}$ のようなピスマス酸化化合物などを形成してもよい。

【0037】そのような強誘電体膜12を形成した後に、その上に第2の導電膜13として酸化イリジウム（IrO_x）膜をスパッタリング法により150～250nmの厚さに形成する。なお、第2の導電膜13として、プラチナ膜又はルテニウム酸ストロンチウム（SRO）膜をスパッタ法により形成してもよい。

【0038】その後、第2の導電膜13上にレジストを塗布し、これを露光、現像することにより、上部電極形状の第1のレジストパターン14を形成する。図3(a)のI-I線の断面図を図11(a)に示す。

【0039】次に、図3(b)、図11(b)に示すように、第1のレジストパターン14をマスクに使用して第2の導電膜13をエッチングし、これにより残った第2の導電膜13をキャパシタ上部電極13aとする。

【0040】第1のレジストパターン14を除去した後に、温度650℃、60分間の条件で、キャパシタ上部電極13aを透過させて強誘電体膜12を酸素雰囲気中でアニールする。このアニールは、スパッタリング及びエッチングの際に入ったダメージから強誘電体膜12を回復させるために行われる。

【0041】次に、キャパシタ上部電極13a及び強誘電体膜12の上にレジストを塗布し、これを露光、現像することにより、図4(a)、図12(a)に示すように、第2のレジストパターン15を形成する。第2のレジストパターン15は、ゲート電極（ワード線）5a、5bの延在方向に並んだ複数のキャパシタ上部電極13aの

上を通るストライプ形状を有する。

【0042】その後、図4(b)、図12(b)に示すように、第2のレジストパターン15をマスクに使用して強誘電体膜12をエッチングし、これによりパターンニングされた強誘電体膜12をキャパシタ誘電体膜12aとして使用する。

【0043】第2のレジストパターン15を除去した後に、温度650℃、60分間でキャパシタ誘電体膜12aを酸素雰囲気中でアニールする。

【0044】さらに、図5(a)に示すように、キャパシタ上部電極13a、キャパシタ誘電体膜12a及び第一の導電膜11の上に、エンキャップ層17として Al_2O_3 膜をスパッタリング法により50nmの厚さに常温で形成する。このエンキャップ層17は、還元され易いキャパシタ誘電体膜12aを水素から保護するために形成される。エンキャップ層17として、PZT膜、PLZT膜又は酸化チタン膜を形成してもよい。

【0045】その後、酸素雰囲気中で、700℃、60秒間、昇温速度125℃/secの条件で、エンキャップ層17の下のカパシタ誘電体膜12aを急速熱処理してその膜質を改善する。

【0046】次に、図5(b)、図13(a)に示すように、エンキャップ層17の上にレジストを塗布し、これを露光、現像することにより、キャパシタ誘電体膜12aよりもワード線の延在方向に長いストライプ形状の第3のレジストパターン16をキャパシタ誘電体膜12aの上に沿って形成する。

【0047】その後、図13(b)に示すように、第3のレジストパターン16をマスクに使用してエンキャップ層17及び第1の導電膜11をエッチングし、これにより第3のレジストパターン16の下に残ったストライプ状の第1の導電膜11をキャパシタ下部電極11aとして使用する。キャパシタ下部電極11aは、キャパシタ誘電体膜12aからはみ出した形状を有し、プレート線とも呼ばれる。この後に、第3のレジストパターン16を除去する。

【0048】これにより、図6(a)に示すように、ストライプ状の1つのキャパシタ上部電極12aとその下のキャパシタ誘電体膜12a及びキャパシタ下部電極11aによって1つの強誘電体キャパシタQが構成される。

【0049】続いて、酸素雰囲気中で温度650℃、60分間の条件で、キャパシタ誘電体膜12aをアニールしてダメージから回復させる。

【0050】次に、図6(b)に示すように、強誘電体キャパシタQ及び第1の層間絶縁膜10の上に、第2の層間絶縁膜18として膜厚1200nmの SiO_2 膜をCVD法により形成した後に、第2の層間絶縁膜18の表面をCMP法により平坦化する。第2の層間絶縁膜18の成長は、反応ガスとしてシラン(SiH_4)を用いてもよいし、TEOSを用いてもよい。第2の層間絶縁膜

18の表面の平坦化は、キャパシタ上部電極13aの上から200nmの厚さとなるまで行われる。

【0051】次に、図7(a)に示す構造を形成するまでの工程について説明する。

【0052】まず、第1及び第2の層間絶縁膜10、18、カバー膜9をパターンニングして、n型不純物拡散層6a、6bの上にコンタクトホール18a、18bを形成する。第1及び第2の層間絶縁膜10、18とカバー膜9のエッチングガスとして、CF系ガス、例えば CF_4 にArを加えた混合ガスを用いる。

【0053】次に、第2の層間絶縁膜15上面とコンタクトホール18a、18b内面に、スパッタリング法によりチタン(Ti)膜を20nm、窒化チタン(TiN)膜を50nmの厚さに形成し、これらの膜を密着層とする。さらに、フッ化タングステンガス(WF_6)、アルゴン、水素の混合ガスを使用するCVD法により、密着層の上にタングステン膜を形成し、これにより各コンタクトホール18a、18bを完全に埋め込む。

【0054】さらに、第2の層間絶縁膜15上のタングステン膜と密着層をCMP法により除去し、各コンタクトホール18a、18b内にのみ残す。これにより、コンタクトホール18a、18b内のタングステン膜と密着層を導電性プラグ19a、19bとして使用する。

【0055】なお、メモリセル領域の1つのpウェル3において、2つのゲート電極5a、5bに挟まれる中央のn型不純物拡散領域6b上の第1の導電性プラグ19bは後述するビット線に電気的に接続され、さらに、その両側方の2つの第2の導電性導電性プラグ19aは、後述する配線を介してキャパシタ上部電極13aに電気的に接続される。

【0056】その後、真空チャンバ内で390℃の温度で第2の層間絶縁膜18を加熱して水を外部に放出させる。

【0057】次に、図7(b)、図14(a)に示す構造を形成するまでの工程を説明する。

【0058】まず、第2の層間絶縁膜18と導電性プラグ19a、19bの上に、酸化防止膜20として $SiON$ 膜をプラズマCVD法により例えば100nmの厚さに形成する。この $SiON$ 膜は、シラン(SiH_4)と N_2O の混合ガスを用いて形成される。

【0059】続いて、酸化防止膜20の上にフォトレジスト(不図示)を塗布し、これを露光、現像してキャパシタ上部電極13aの上とキャパシタ下部電極11aの張り出し部分の上に窓を形成する。そして、フォトレジストをマスクに用いてエンキャップ層17、第2の層間絶縁膜18及び酸化防止膜20をエッチングすることにより、キャパシタ上部電極13a上とキャパシタ下部電極11aの上にそれぞれコンタクトホール20a、20bを形成する。

【0060】この場合、キャパシタ下部電極11a上の

コンタクトホール20bの開口寸法は、その上部で例えば $1.8\mu\text{m} \times 1.8\mu\text{m}$ 、又は $0.6\mu\text{m} \times 1.8\mu\text{m}$ の大きさとする。その開口部は一辺で $0.6\mu\text{m}$ 以上となるように設計されるのが好まし。

【0061】フォトレジスト（不図示）を除去した後、 550°C 、60分間の条件で、キャパシタ誘電体膜12aを酸素雰囲気中でアニールして、キャパシタ誘電体膜12aの膜質を改善する。この場合、導電性プラグ19a、19bは酸化防止膜20によって酸化が防止される。

【0062】次に、図14(b)に示す構造を形成するまでの工程を説明する。

【0063】まず、CF系のガスを用いて酸化防止膜20をドライエッチングして除去する。

【0064】その後、第2の層間絶縁膜18の上と導電性プラグ19a、19bの上とコンタクトホール20aの内面上に、下地導電膜21として窒化チタン(TiN)膜をスパッタにより形成する。この下地導電膜21は、後述するアルミニウム膜と密着性のよいバリア膜として機能する。下地導電膜21の構成材料は、窒化チタンに限られるものではなく、窒化チタンとチタンの積層構造であってもよいし、窒化タングステンであってもよい。

【0065】キャパシタ下部電極11a上のコンタクトホール20b内のTiN膜21は、図16に示すように、その底面上の最も薄い部分の膜厚、例えばコンタクトホール20bの底の周縁部の膜厚tが 35nm 以上になるように形成される。そのコンタクトホール20bの開口寸法が $1.8\mu\text{m} \times 1.8\mu\text{m}$ 、又は $0.6\mu\text{m} \times 1.8\mu\text{m}$ の大きさの場合には、第2の層間絶縁膜18の上のTiN膜の厚さを 150nm 以上に形成するとコンタクトホール20b内の底部における薄い部分のTiN膜21の膜厚は 60nm 以上になる。

【0066】次に、図8、図15(a)に示すように、下地導電膜21の上にアルミニウム膜22をスパッタにより形成する。アルミニウム膜22は、第2層間絶縁膜18の上で約 500nm となるように形成される。なお、アルミニウム膜22には銅が含有されることもある。

【0067】そして、図9、図15(b)に示すように、アルミニウム膜22と下地導電膜21をフォトリソグラフィ法によりパターンニングして、キャパシタ下部電極11a上のコンタクトホール20b内から外部に引き出される下部電極引出配線21bを形成する。これと同時に、アルミニウム膜22と下地導電膜21をパターンニングして、pウェル3中央の導電性プラグ19bの上にビアコンタクトパッド21cを形成するとともに、その両側方の導電性プラグ19aの上面からコンタクトホール20aを通してキャパシタ上部電極13aの上面に接続される上部電極引出配線21aを形成する。

【0068】これにより、キャパシタ下部電極11aは、下部電極引出配線21bを介して周辺回路領域（不

図示)に接続される。また、キャパシタ上部電極13aは、上部電極引出配線21a、導電性プラグ19a及び高融点金属シリサイド層8aを介してpウェル3の両側寄りのn型不純物拡散領域6aに接続される。

【0069】なお、下地導電膜21やアルミニウム膜22を形成するためのスパッタとしてロングスロースパッタ(Long Through Sputtering)を用いてもよい。

【0070】次に、図10の構造を形成するまでの工程を説明する。

【0071】まず、TEOSをソースに用いたプラズマCVD法により SiO_2 膜を第3の層間絶縁膜23aとして 2300nm の厚さに形成する。これにより、第2の層間絶縁膜18、上部電極引出配線21a、下部電極引出配線21b、コンタクトパッドcは第3の層間絶縁膜23aにより覆われる。これに続いて、第3の層間絶縁膜23aの表面をCMP法により平坦化する。

【0072】さらに、TEOSを用いてプラズマCVD法により SiO_2 よりなる保護絶縁膜23bを第3の層間絶縁膜23aの上に形成する。そして、第3の層間絶縁膜23aと保護絶縁膜23bをパターンニングして、メモリセル領域のpウェル3の中央の上方にあるコンタクトパッド21cの上にホール22aを形成する。

【0073】次に、保護絶縁膜23bの上面とホール22aの内面の上に、膜厚 $90\text{nm} \sim 150\text{nm}$ の窒化チタン(TiN)よりなる密着層24をスパッタ法により形成し、その後、基板温度を約 400°C に設定し、ホール22aを埋め込むようにブラケットタングステン膜25を WF_6 を用いるCVD法により形成する。

【0074】次に、ブラケットタングステン膜25をエッチバックしてホール22aの中のみ残し、ホール22a内のブラケットタングステン膜25を二層目の導電性プラグとして使用する。

【0075】その後、密着層24、ブラケットタングステン膜25の上に金属膜26をスパッタ法により形成する。続いて、金属膜26をフォトリソグラフィ法によりパターンニングして、二層目の導電性プラグ25、コンタクトパッド21c、一層目の導電性プラグ19b及び高融点金属シリサイド層8bを介してn型不純物拡散領域6bに電氣的に接続されるビット線BLを形成する。

【0076】上記した実施形態では、キャパシタ下部電極11a上のコンタクトホール20b内に形成される下地導電膜21となるTiN膜の膜厚を、コンタクトホール20bの底部の最も薄い部分で 35nm 以上の厚さにしたところ、コンタクトホール20b内で下地導電膜21の上に形成されるアルミニウム膜22とプラチナよりなるキャパシタ下部電極11aの反応が防止できた。

【0077】なお、キャパシタ上部電極13aをプラチナから形成する場合には、コンタクトホール20a内で下地導電膜21の上のアルミニウム膜22と下部導電膜

11

21の下キャパシタ上部電極13aとの反応が防止される。

【0078】そのように、TiN膜21の厚さを35nm以上にすることによってキャパシタ下部電極11aとア

12

*ルミニウム膜22との反応が防止できることは、表1に示すような実験によって確認された。

【0079】

【表1】

Base	LTS-TiN	Break7-11(°C 30min:N2)								
	膜厚(nm)	380	390	400	410	420	430	440	450	460
Pt+EB	35	OK	OK	OK	OK	OK	Break	—	—	—
H-Pt+EB	35	OK	Break	—	—	—	—	—	—	—
	60	OK	OK	OK	OK	OK	Break	—	—	—
	80	OK	OK	OK	OK	OK	OK	Break	—	—

【0080】表1に示した実験に使用する試料として、基板上にプラチナ膜と厚さ35nmの窒化チタン膜とアルミニウム膜を順に形成した第1の試料を用意する。この場合のプラチナ膜は、室温～約100℃の範囲の基板温度でスパッタにより形成されたものである。このプラチナ膜は、表においてPt+EBで示されている。

【0081】また、別の試料として、基板上に高温プラチナ膜と窒化チタン膜とアルミニウム膜を順に形成した第2の試料を用意する。第2の試料における高温プラチナ膜は、550℃の基板加熱下でスパッタにより形成されたものである。この高温成長のプラチナ膜は、表においてH-Pt+EBで示されている。また、第2の試料については窒化チタン膜の膜厚を35nm、60nm、80nmに形成したものを3種類用意した。

【0082】なお、各試料の作成において、窒化チタン膜を形成する前にプラチナ膜の表面を僅かにエッチングしている。これは、図14(a)に示すように、コンタクトホール20bを形成する際にプラチナからなる下部電極11aの表面がエッチングされるに対応させるためである。

【0083】それらの試料を別々に窒素雰囲気において種々の温度で30分間ブレイクアニールしたところ、表1に示すような結果が得られた。

【0084】表1によれば、第1の試料において、窒化チタン膜の膜厚が35nmあれば、420℃の加熱下で低温形成プラチナ膜とアルミニウム膜との反応を防止することができた。

【0085】また、第2の試料において、窒化チタン膜の膜厚が35nmでは高温成長プラチナ膜とアルミニウム膜との反応は390℃で発生してしまう。しかし、第2の試料において、窒化チタンの膜厚が少なくとも60nmあれば、420℃の温度下で高温成長プラチナ膜とアルミニウム膜との反応を防止することができることが分かった。

【0086】このことから、キャパシタ下部電極11aとして低温成長のプラチナ膜を層間絶縁膜10上に形成する場合には、キャパシタ下部電極11a上のコンタクトホール20b内の底に形成される窒化チタン膜21は最小膜厚が35nm以上必要である。

【0087】また、キャパシタ下部電極11aとして高温成長のプラチナ膜を層間絶縁膜10上に形成する場合

10 には、キャパシタ下部電極11a上のコンタクトホール20b内の底に形成される窒化チタン膜21の膜厚は60nm以上必要となる。

【0088】これに対して、図17に示すように、コンタクトホール20b内に形成される窒化チタン膜109が35nmよりも薄くなると、アルミニウム膜110とプラチナ下部電極111が反応して反応層119が生じて膨らみ、しかも、絶縁膜18が浮き上がる場合があり、最悪の場合には絶縁膜18にクラックが発生する場合がある。

20 【0089】本発明者らは、さらに、プラチナ膜の上に窒化チタン膜とアルミニウム膜をロングスロースパッタ(LTS)法により順に形成した試料を複数枚用意して、窒化チタン膜の膜厚とアルミニウム膜・プラチナ膜ブレイク温度との関係を調べたところ図18に示すような結果が得られた。なお、基板温度を550℃として形成されたプラチナ膜を高温プラチナ膜とし、基板温度を100℃以下として形成されたプラチナ膜を低温プラチナ膜と定義した。

30 【0090】図18によれば、低温成長プラチナ(Pt)膜の上に窒化チタン膜を介してアルミニウム膜を形成した試料においては、400℃の温度において窒化チタン膜の膜厚が30nmで低温成長プラチナ膜とアルミニウム膜の反応が開始することが分かった。即ち、400℃の温度で低温成長プラチナ膜とアルミニウム膜との反応を防止するためには30nmよりも厚い膜厚で窒化チタン膜を形成する必要がある。400℃より低い温度の場合にはそれに応じて窒化チタン膜を30nm以下にしてもよい。従って、400℃以下の温度での低温成長プラチナ膜とアルミニウム膜との反応を防止するためには、窒化チタン膜の厚さを30nmより厚くしておけばよい。

40 【0091】また、図18によれば、高温成長プラチナ(H-Pt)膜の上に窒化チタン膜を介してアルミニウム膜を形成した試料においては、400℃の温度において窒化チタン膜の膜厚が40nmで高温成長プラチナ膜とアルミニウム膜の反応が開始することが分かった。即ち、400℃の温度での高温成長プラチナ膜とアルミニウム膜との反応を防止するためには40nmよりも厚い膜厚で窒化チタン膜を形成する必要がある。400℃より低い温度の場合にはそれに応じて窒化チタン膜を40nm

13

以下にしてもよい。従って、400℃以下の温度での高温成長プラチナ膜とアルミニウム膜との反応を防止するためには、窒化チタン膜の厚さを30nmより厚くしておけばよい。

【0092】なお、400℃を基準としたのは、図15(b)に示した下部電極引出配線21bを形成した後に、アルミニウム膜22からなる下部電極引出配線21bの劣化を防止するために、その上の膜23a、23b等の形成を400℃又はそれ以下の温度で形成することが好ましいからである。

【0093】ところで、第2の層間絶縁膜18のうちキャパシタ下部電極11aの上のコンタクトホール20bにおいて、第2の層間絶縁膜18のスパッタエッチング条件を変えることによって図19に示すようにその上部を広くしてワイングラス状に形成することが可能である。そして、コンタクトホール20bの上部を広くする*

BECサイズ	場所	ウェーハ内				
		上部	中部	下部	左部	右部
0.6×1.8μm	①	45nm	52nm	37nm	52nm	50nm
	②	73nm	73nm	93nm	93nm	87nm
	③	52nm	49nm	45nm	39nm	35nm
1.8μm□	①	73nm	95nm	89nm	62nm	62nm
	②	129nm	187nm	114nm	136nm	187nm
	③	41nm	54nm	43nm	41nm	52nm

【0097】上記した実施形態では、キャパシタQを覆う第2の層間絶縁膜18の上に形成される下部電極引出配線21bをコンタクトホール19bを通してキャパシタQの下部電極11aに接続する構造において、下部電極引出配線21bを導電性プラグを介さずに直に下部電極11aに接続するようにしている。

【0098】従って、キャパシタQの下部電極11aと上部電極13aのそれぞれの上にコンタクトホール20a、20bを同時に形成することが可能になるので、下部電極11a上にコンタクトホール20bを形成する際に深さが大きく異なる不純物拡散領域6a、6b上のコンタクトホール18a、18bと同時に形成する必要はなくなり、各コンタクトホール18a、18b、20a、20bの条件の設定が容易になる。

(付記1) 半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、前記トランジスタを覆い且つ表面が平坦化された第1の絶縁膜と、前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜と該誘電体膜を挟む上部電極及び下部電極とを有するキャパシタと、前記キャパシタ及び前記第1の絶縁膜の上に形成されて表面が平坦化された第2の絶縁膜と、前記第1の絶縁膜のうち前記第1の不純物領域の上に形成された第1のホールと、前記第1のホールの中に形成された第1のプラグと、前記第2の絶縁膜のうち前記キャパシタの前記下部電極と前記上部電極の上にそれぞれ形成された第2のホールと第3のホールと、前記第2の絶縁膜の上に形成された導電膜

14

*ことによって、コンタクトホール20bの底部での窒化チタンの膜厚を厚くすることができる。

【0094】次に、図19に示したように、キャパシタ下部電極11aの上のコンタクトホール20bの内面上部の傾斜を内面下部の傾斜よりも緩やかにして広く形成し、その内部に形成される窒化チタン膜21のうち①コンタクトホール底面周縁、②コンタクトホール底面中央、③コンタクトホール内周面での膜厚を調べたところ表2に示すような結果が得られ、最も薄い部分でも35nm以上になった。

【0095】なお、表2に示したウェーハの上部、中部、下部、左部、右部のそれぞれは、半導体ウェーハのオリエンタラット部を下に位置させた場合のウェーハ上での位置を示している。

【0096】

【表2】

から構成され、前記第3のホールを通して前記上部電極に接続され且つ前記第1のプラグに接続される第1の導電パターンと、前記第2の絶縁膜の上で前記導電膜から構成され、かつ前記第2のホールを通して前記下部電極に接続される第2の導電パターンとを有することを特徴とする半導体装置。

(付記2) 半導体基板の上方の第1絶縁膜の上に形成されてコンタクト領域を有し且つプラチナからなる電極と、前記電極の上に形成された第2絶縁膜と、前記第2絶縁膜のうち前記電極の前記コンタクト領域の上に形成されたホールと、前記ホールの底における最小膜厚が30nmより厚い下地導電膜とアルミニウム膜とを順に形成して構成されて前記ホール内から前記第2絶縁膜の上に形成される埋込導電層とを有することを特徴とする半導体装置。

(付記3) 半導体基板の上方の第1絶縁膜の上に形成されてコンタクト領域を有し且つプラチナからなる下部電極と、該下部電極上に誘電体膜を介して形成された上部電極とを有するキャパシタと、前記キャパシタの上に形成された第2絶縁膜と、前記第2絶縁膜のうち前記下部電極の前記コンタクト領域の上に形成されたホールと、前記ホールの底における最小膜厚が30nmより厚い下地導電膜とアルミニウム膜とを順に形成して構成されて前記ホール内から前記第2絶縁膜の上に形成される配線とを有することを特徴とする半導体装置。

(付記4) 前記下地導電膜は、窒化チタン、窒化チタン・チタン積層、窒化タンゲステンのいずれかから構成されることを特徴とする付記2又は付記3に記載の半導体

装置。

(付記5) 前記第2絶縁膜上での前記下地導電膜の厚さは125nm以上であることを特徴とする付記2乃至付記4に記載の半導体装置。

(付記6) 前記ホールは下部よりも上部が広がっていることを特徴とする付記1乃至付記5のいずれかに記載の半導体装置。

(付記7) 前記ホールの上部はワイングラス状に広がっていることを特徴とする付記1乃至付記6のいずれかに記載の半導体装置。

(付記8) 前記ホールのアスペクト比は2以下であることを特徴とする付記1乃至付記7のいずれかに記載の半導体装置。

(付記9) 前記誘電体膜は、強誘電体材料から構成されていることを特徴とする付記1乃至付記7のいずれかに記載の半導体装置。

(付記10) 前記下部電極は加熱下で形成された高温プラチナ膜であって、前記下地導電膜の前記ホールの前記底での最小膜厚は40nmより厚いことを特徴とする付記1乃至付記9のいずれかに記載の半導体装置。

(付記11) 前記アルミニウム膜の中には他の元素が含まれていることを特徴とする付記2乃至付記10のいずれかに記載の半導体装置。

(付記12) 半導体基板の上方に第1絶縁膜を形成する工程と、コンタクト領域を有し且つプラチナからなる下部電極と、該下部電極の上に誘電体膜を介して形成される上部電極を有するキャパシタを前記第1絶縁膜の上に形成する工程と、前記キャパシタの上に第2絶縁膜を形成する工程と、前記第2絶縁膜をパターニングして前記下部電極の前記コンタクト領域の上にホールを形成する工程と、前記ホールの底での最小膜厚が30nmより厚い下地導電膜を前記ホール内と前記第2絶縁膜の上面に形成する工程と、アルミニウム膜を前記下地導電膜上に形成する工程と、前記アルミニウム膜と前記下地導電膜をパターニングすることにより前記ホールを通して前記下部電極に接続される配線を前記第2絶縁膜上に形成する工程とを有することを特徴とする半導体装置の製造方法。

(付記13) 前記下地導電膜は窒化チタン、窒化チタン・チタン積層、窒化タングステンのいずれかであることを特徴とする付記12に記載の半導体装置の製造方法。

(付記14) 前記下部電極を構成する前記プラチナを高温で形成する場合には、前記下地導電膜の前記ホールの前記底における最小膜厚を40nmより厚く形成することを特徴とする付記12又は付記13に記載の半導体装置の製造方法。

(付記15) 前記誘電体膜は強誘電体材料から形成することを特徴とする付記12乃至付記14のいずれかに記載の半導体装置の製造方法。

(付記16) 前記ホールの上部をその下部よりも広く形

成することを特徴とする付記12乃至付記15のいずれかに記載の半導体装置の製造方法。

(付記17) 前記アルミニウム膜は、アルミニウムに他の元素を加えた材料から形成されていることを特徴とする付記12乃至付記16のいずれかに記載の半導体装置の製造方法。

(付記18) 前記第1絶縁膜に覆われるトランジスタを前記半導体基板に形成する工程を有することを特徴とする付記12乃至付記17のいずれかに記載の半導体装置の製造方法。

【0099】

【発明の効果】以上述べたように本発明によれば、電極の上に形成されるホール内から絶縁膜の上面にかけて形成される配線を下地導電膜とアルミニウム膜の複数層構造にするとともに、ホールの底面上の下地導電膜の最小膜厚を30nmより厚くしたので、電極を構成するプラチナと配線を構成するアルミニウムとの反応を下地導電膜によって十分に防止することができる。

【0100】しかも、アルミニウムはPVDにより容易にホール内を埋め込むことができるので、電極を通してその周囲を還元雰囲気置くことを防止できる。その電極がキャパシタの下部電極又は上部電極の場合には、キャパシタの強誘電体膜の劣化を防止できる。

【図面の簡単な説明】

【図1】図1は、従来のFeRAMにおけるキャパシタの形状を示す断面図である。

【図2】図2は、本発明の実施形態の半導体装置の製造工程を示す断面図（その1）である。

【図3】図3は、本発明の実施形態の半導体装置の製造工程を示す断面図（その2）である。

【図4】図4は、本発明の実施形態の半導体装置の製造工程を示す断面図（その3）である。

【図5】図5は、本発明の実施形態の半導体装置の製造工程を示す断面図（その4）である。

【図6】図6は、本発明の実施形態の半導体装置の製造工程を示す断面図（その5）である。

【図7】図7は、本発明の実施形態の半導体装置の製造工程を示す断面図（その6）である。

【図8】図8は、本発明の実施形態の半導体装置の製造工程を示す断面図（その7）である。

【図9】図9は、本発明の実施形態の半導体装置の製造工程を示す断面図（その8）である。

【図10】図10は、本発明の実施形態の半導体装置の製造工程を示す断面図（その9）である。

【図11】図11は、図3(a)のI-I線から見た本発明の実施形態の半導体装置の製造工程を示す断面図（その1）である。

【図12】図12は、図3(a)のI-I線から見た本発明の実施形態の半導体装置の製造工程を示す断面図（その2）である。

17

【図 13】図 13 は、図 3(a) の I-I 線から見た本発明の実施形態の半導体装置の製造工程を示す断面図（その 3）である。

【図 14】図 14 は、図 3(a) の I-I 線から見た本発明の実施形態の半導体装置の製造工程を示す断面図（その 4）である。

【図 15】図 15 は、図 3(a) の I-I 線から見た本発明の実施形態の半導体装置の製造工程を示す断面図（その 5）である。

【図 16】図 16 は、図 15(b) に示したコンタクトホール内の配線とキャパシタ下部電極の接続状態を示す断面図である。

【図 17】図 17 は、リファレンスの半導体装置におけるコンタクトホール内の配線とキャパシタ下部電極の接続状態を示す断面図である。

【図 18】図 18 は、プラチナ膜、窒化チタン膜及びアルミニウム膜を順に形成した構造において、窒化チタン膜の膜厚とアルミニウム・プラチナ反応開始温度との関係を示す図である。

*

18

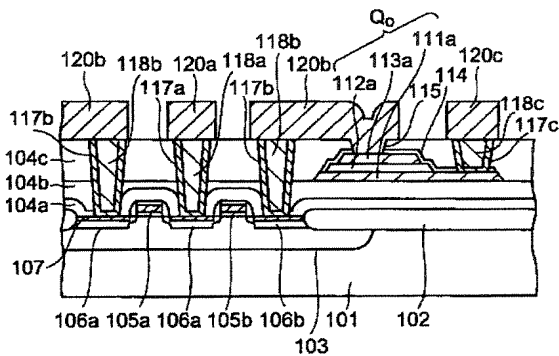
* 【図 19】図 19 は、本発明の実施形態におけるコンタクトホールの形状の他の例を示す断面図である。

【符号の説明】

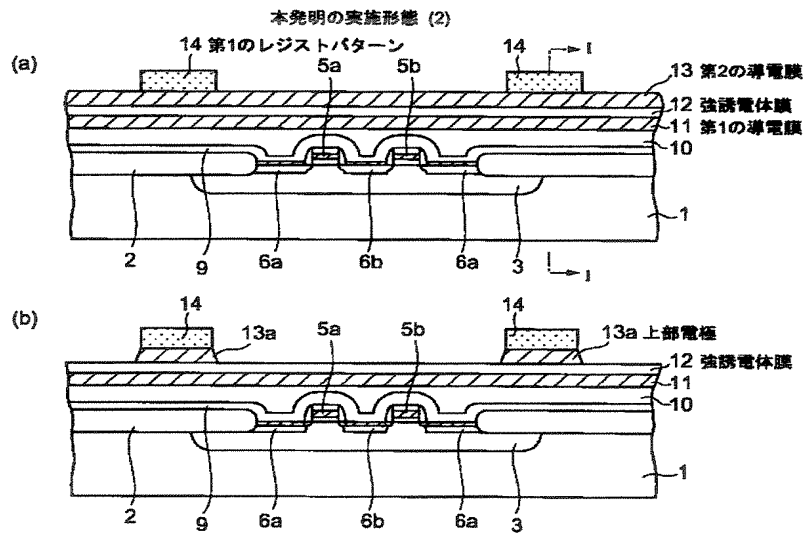
1…シリコン基板、2…素子分離絶縁膜、3…p ウェル、4…ゲート絶縁膜、5a, 5b…ゲート電極、6a, 6b…n 型不純物拡散領域、7…側壁絶縁膜、8a, 8b…高融点金属シリサイド層、9…カバー膜、10…層間絶縁膜、11…第 1 の導電膜、11a…下部電極、12…強誘電体膜、12a…誘電体膜、13…第 2 の導電膜、13a…上部電極、14, 15, 16…レジストパターン、17…エンキャップ層、18…層間絶縁膜、19a, 19b, 19c…導電性プラグ、20…酸化防止膜、20a, 20b…コンタクトホール、21…窒化チタン（バリア）膜、21a…上部電極引出配線、21b…下部電極引出配線、21c…コンタクトパッド、22…アルミニウム膜、23a…層間絶縁膜、23b…保護絶縁膜、24…密着層、25…ブラケットタングステン膜、26…ビット線。

【図 1】

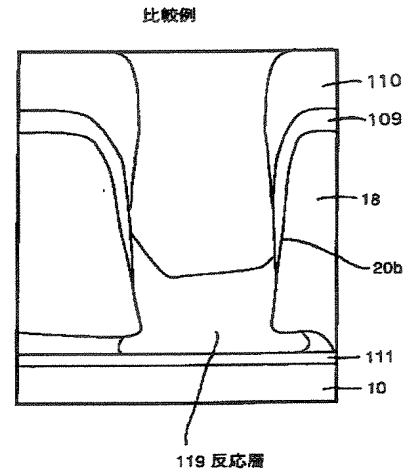
従来技術



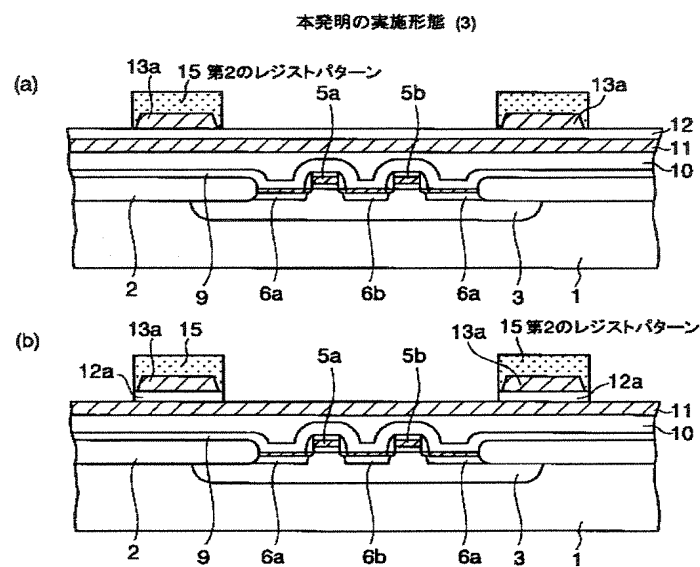
【図3】



【図17】

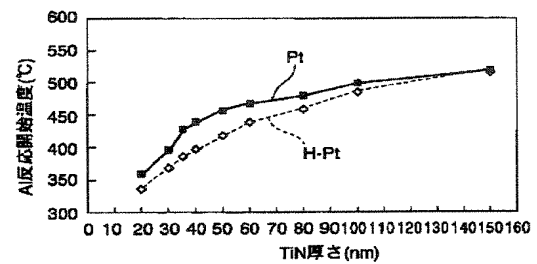


【図4】



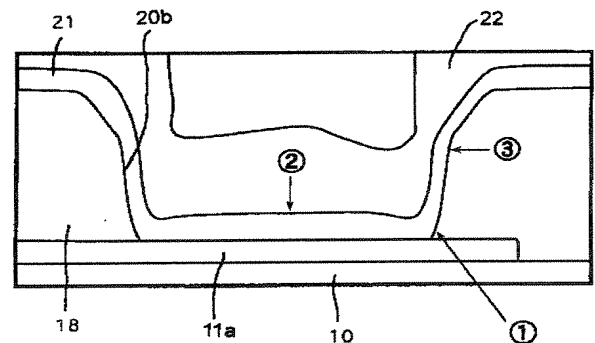
【図18】

プラチナ膜、窒化チタン膜及びアルミニウム膜を順に形成した構造において、窒化チタン膜の膜厚とアルミニウム・プラチナ反応開始温度との関係



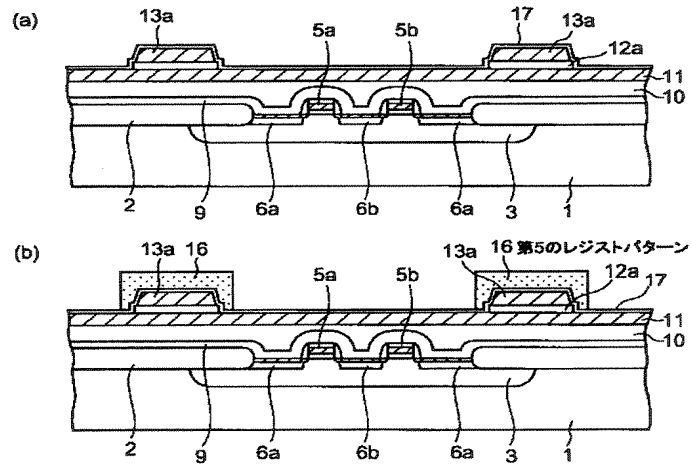
【図19】

本発明の実施形態に用いられる別のコンタクトホール



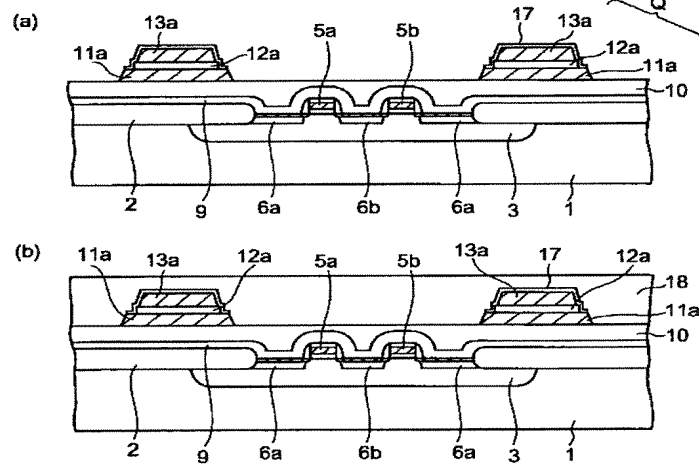
【図5】

本発明の実施形態 (4)

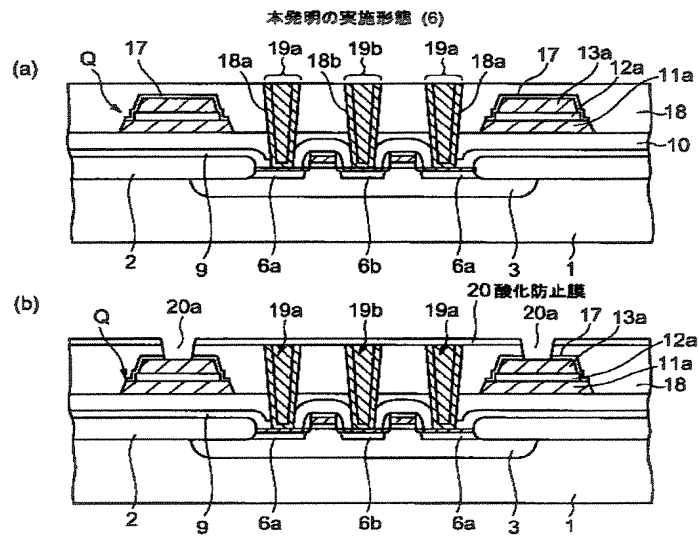


【図6】

本発明の実施形態 (5)

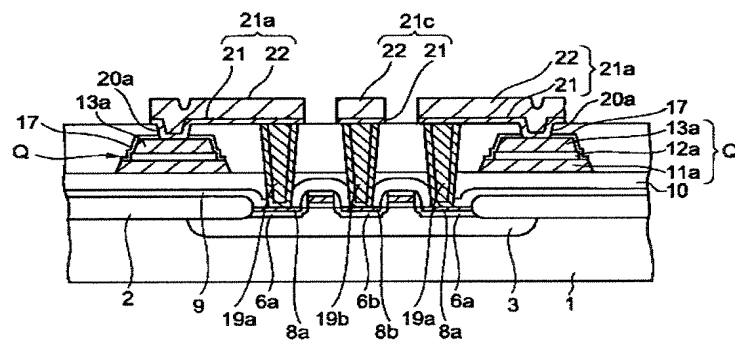


【図 7】



【図 9】

本発明の実施形態 (8)



本発明の実施形態 (9)

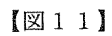
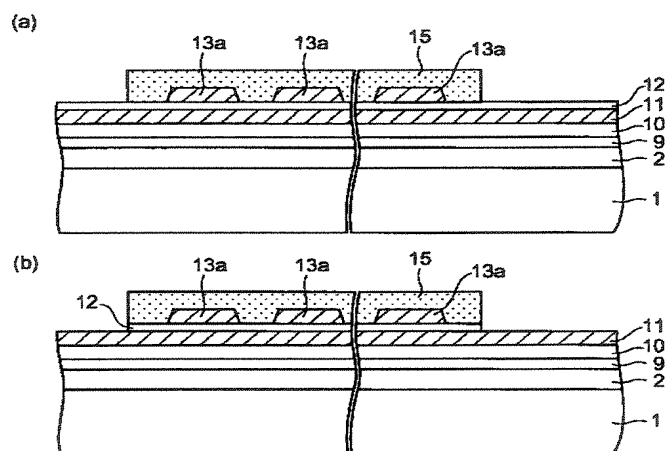


Fig. 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. Both views show a substrate 1 with a series of layers 2, 9, 10, 11, and 12 on top. A gate 13 is formed on layer 12, and spacers 14 are formed on the gate. In view (a), the spacers 14 are formed on the gate 13. In view (b), the spacers 14 are formed on the gate 13, and additional layers 13a and 14a are formed on the spacers 14.

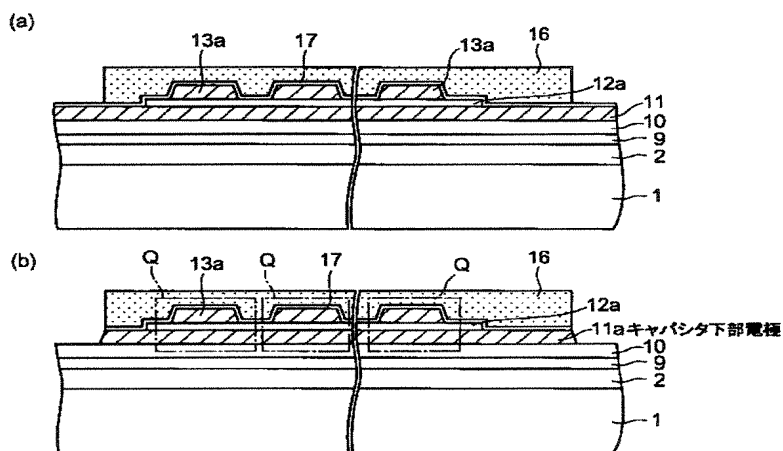
【図12】

本発明の実施形態 (11)



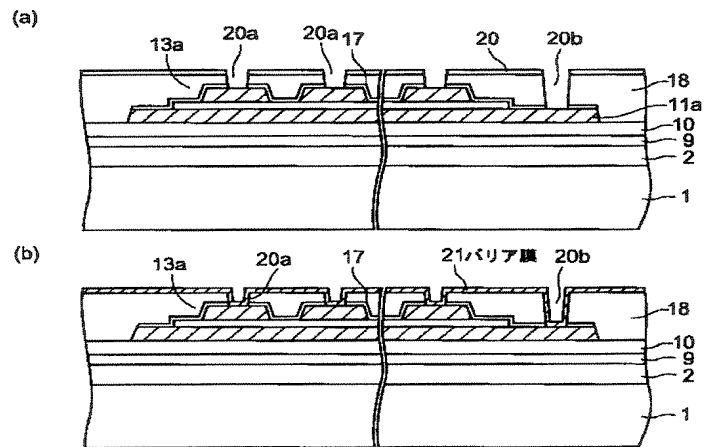
【図13】

本発明の実施形態 (12)



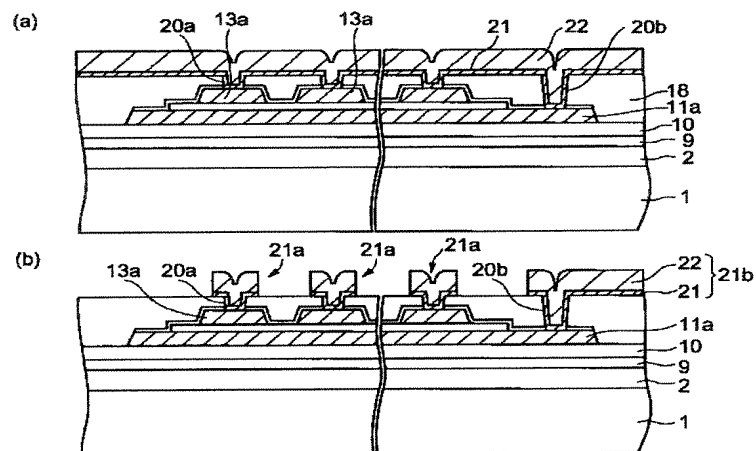
【図14】

本発明の実施形態 (13)



【図15】

本発明の実施形態 (14)



フロントページの続き

- (72)発明者 谷 耕治
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
- (72)発明者 宮澤 久
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
- (72)発明者 三浦 一隆
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

F ターム (参考) 5F033 HH04 HH08 HH09 HH18 HH26
HH33 HH34 JJ01 JJ08 JJ09
JJ18 JJ19 JJ33 JJ34 KK01
KK07 KK18 KK31 KK35 LL04
MM05 MM13 NN06 NN07 PP06
PP15 PP21 QQ08 QQ09 QQ10
QQ11 QQ19 QQ31 QQ37 QQ48
QQ58 QQ65 QQ70 QQ73 RR03
RR04 RR08 SS02 SS04 SS08
SS11 SS15 TT02 TT08 VV16
WW02 XX01 XX13 XX14 XX20
XX28
5F083 FR02 GA21 JA02 JA05 JA15
JA17 JA19 JA35 JA36 JA37
JA38 JA39 JA40 JA43 JA53
KA19 MA05 MA06 MA19 MA20
NA01 PR03 PR21 PR22 PR23
PR33 PR34

